

文章编号:1007-2780(2016)05-0470-07

LED 显示控制系统移存频率加速方法研究

郝亚茹*, 邓招奇, 邓春健
(电子科技大学 中山学院, 广东 中山 528402)

摘要:针对 LED 显示控制系统中移存频率受限于 SDRAM 的有效读取频率的问题,提出一种加速移存频率的方法。以 LED 显示控制系统的硬件逻辑为基础,建立扫描频率、移存频率、SDRAM 有效读取频率等关键参数的相关数学模型,分析影响扫描频率的各种因素,提出图像数据拆分重组算法用于提高 SDRAM 的有效读取频率和移存频率。利用硬件逻辑实现该算法后,移存频率由原来的 8.25 MHz 提升到 66 MHz,这就可以最大限度的发挥 LED 灯驱动芯片的移存能力,LED 显示屏扫描频率也随之大幅提高。

关键词:移存频率,SDRAM,扫描频率,拆分重组

中图分类号: TN27; TN702 **文献标识码:** A **doi:** 10.3788/YJYXS20163105.0470

Increasing shift frequency of LED display control system

HAO Ya-ru*, DENG Zhao-qi, DENG Chun-jian

(Zhongshan Institute, University of Electronic Science and Technology of China,
Zhongshan 528402, China)

Abstract: A method of increasing shift frequency is proposed in LED display control system. Firstly, mathematical relationship of shift frequency, scanning frequency and effective reading frequency of SDRAM is established to analyze how to increase the former based on hardware logic. Moreover, a splitting and reorganization algorithm of image data is realized to promote shift frequency from 8.25 MHz to 66 MHz, which can maximize the performance of the LED driver chip, and the scanning frequency is also greatly improved.

Key words: shift frequency; SDRAM; scanning frequency; split and reorganization

1 引言

LED 显示屏应用广泛,其主要的性能参数包括扫描频率、分辨率、灰度级和亮度等,其中扫描频率决定了人眼感知显示屏抖动和上下波纹滚动的明显程度^[1-4]。长时间观看扫描频率较低的显

示屏,非常容易造成眼睛疲劳,而通过提高扫描频率,就可以有效地消除画面闪烁和抖动,使画质趋于稳定,从而降低对人眼的伤害^[5-8]。对于采用动态显示技术的户内 LED 显示屏,扫描频率是影响其画质的关键参数,一定程度上 LED 显示控制系统的扫描频率越高越好^[9-10]。

LED 显示控制系统的扫描频率与分辨率、灰

收稿日期:2015-12-22;修订日期:2016-01-15.

基金项目:国家自然科学基金项目(No. 61302115);校内青年基金(No. 415YJ04)

Supported by National Natural Science Foundation of China(No. 61302115) and Youth Foundation of UESTC Zhongshan Institute(No. 415YJ04)

* 通信联系人, E-mail:165689908@qq.com

度级以及亮度都有关系,特别是受到 LED 灯芯驱动的实际移存频率等参数的影响^[5-6]。受限于显示控制系统内部硬件资源以及外部存储 SDRAM 的有效读取频率,实际移存频率通常无法达到 LED 灯芯驱动所能承受的最大值,这就大大制约了扫描频率。如何高效利用系统的硬件资源,提高外存的读取频率,改善灯芯驱动的实际移存频率,从而提高扫描频率以获得更好的画质是 LED 显示领域关注的热点问题。本文从 LED 显示控制系统的硬件逻辑出发,建立分辨率、灰度级、亮度、扫描方式、移存频率,扫描频率,内部存储 RAM 的读写频率和存储容量以及外部存储 SDRAM 的有效读取频率等参数的相关数学模型,分析各个参数对扫描频率的影响,提出并实现一种加速移存频率的方法。

2 LED 显示系统

如图 1 所示,通用 LED 显示系统由 PC 主机(视频源)、发送系统、接收系统、显示控制系统以及 LED 屏体(显示终端)组成。24 bit 图像数据从 PC 主机的显卡,经由发送系统、接收系统传输到显示控制系统。接收系统有 8 个端口(port),每个端口输出的分辨率为 256×256 ,每个显示控制系统能控制的像素点为 $row \times col$,一个端口输出的数据可由 $N = (256 \times 256) / (row \times col)$ 个显示控制系统来控制。其中 row 和 col 分别为显示控制系统控制 LED 显示屏物理行数和列数,而单个显示控制系统所能控制的 LED 显示屏的分辨率即为 $row \times col$ 。

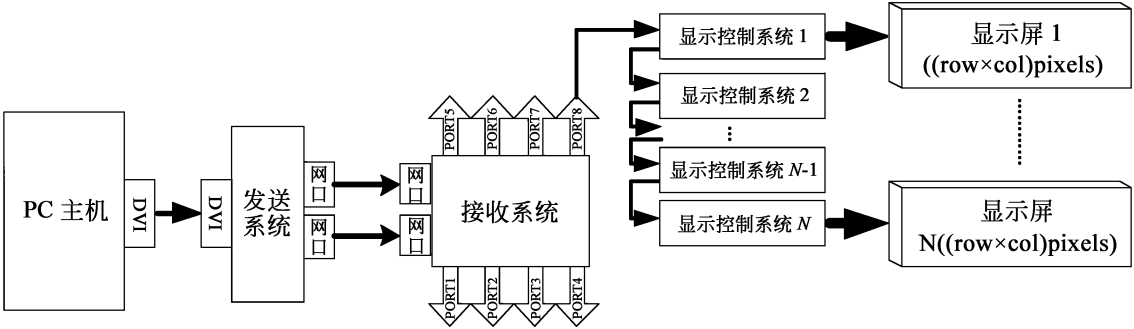


图 1 LED 显示系统结构图
Fig. 1 LED display system structure diagram

显示控制系统的硬件逻辑由 FPGA 来实现,采用 Altera 的 Cyclone(EP1C6Q240C8),其内部存储 RAM 包括 20M4K 块(每个 $4K = 128 \times 36$ bits),

总的存储空间为 $20 \times 128 \times 36$ bit。外部存储 SDRAM 采用 SAMSUNG 的 K4S643232H,存储容量 64 Mbits,最高频率可达 166 MHz。

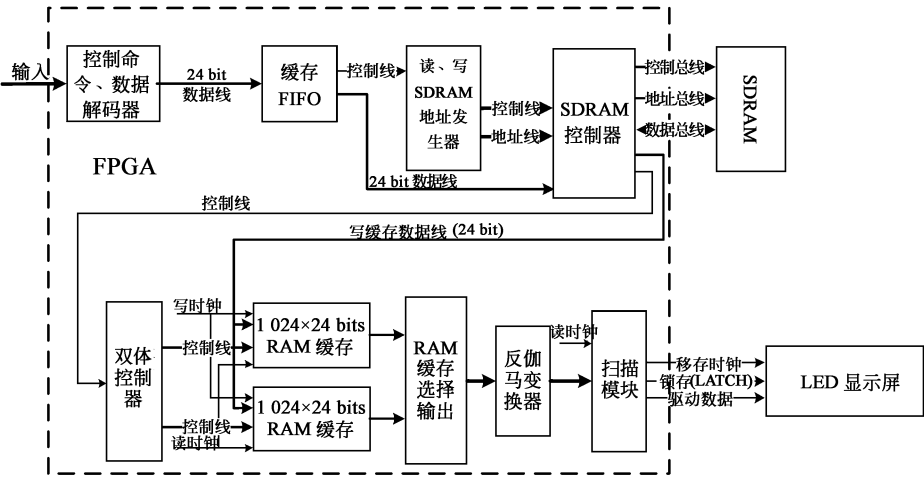


图 2 显示控制系统逻辑图
Fig. 2 Display control system logic diagram

图 2 虚线框是 FPGA 内实现的硬件逻辑电路,其工作过程如下:首先输入分辨率为 256×256 的数据,经由“控制命令、数据解码器”模块截取 $\text{row} \times \text{col}$ 个像素点的数据,然后通过 FIFO 对截取的 24 bit 的图像数据(红、绿、蓝三种颜色各 8 bit)进行缓存,当缓存的有效数据个数超过设定值后,SDRAM 控制器会将有效的数据写入到 SDRAM 中。当发出读 SDRAM 的控制指令时,SDRAM 控制器会从 SDRAM 中有规则的读出图像数据,并将其缓存在双组 RAM 中(分别命名为第一组和第二组)。当对第一组 RAM 进行写数据操作时,对第二组 RAM 进行读数据操作,并将读出的数据经反伽马^[7-8]变换后实时扫描到显示屏上。当第二组 RAM 中数据全部读完后,向 SDRAM 发起读指令,从中读数据并写入第二组 RAM 中,同时对第一组 RAM 进行读操作,如此交替进行,对双组 RAM 不间断的读写,实现实时的扫描过程。

3 显示控制系统的硬件逻辑

LED 显示屏的屏体端由多个 LED 灯芯驱动芯片来驱动 LED 显示,驱动芯片的移存频率 f_{shift} 最大值是 15 MHz。在显示分辨率、灰度级、亮度等参数不变的前提下,LED 显示屏扫描频率与移存频率成正比关系,受限于硬件资源和外存

SDRAM 的有效读取频率,移存频率通常情况下无法达到其最大值,相应的扫描频率也有很大的提升空间。

移存频率受到扫描模块中的扫描方式、分辨率以及灰度级等因素的影响。扫描方式采用 8 行分区逐行扫描,定义 $S=8$ (其它扫描方式还有诸如 4 扫,16 扫等)。分辨率即单个显示控制系统能够控制的像素点数,由 $\text{row} \times \text{col}$ 来表示。灰度级与经过反伽马变换后的图像数据位宽以及各 bit 位的扫描灰度权值有关。以红基色图像数据为例,经反伽马变换后图像数据由 8 bit 转换为 14 bit,每 bit 对应的灰度权值如下表 1 所示,R[0]对应 $1/512$ 表示第 0 位图像数据为“1”时,显示灰度权值为 $1/512$,而当第 0 位图像数据为“0”时,显然灰度为 0,其它各位的灰度权值以此类推。根据扫描模块的逻辑规则,定义扫描一行的时间为单位扫描时间,以 T 表示,并以此作为灰度权值的基准值。当需要显示第 0 位图像数据时,其对应灰度权值为 $1/512$,则 LED 灯在一个单位扫描时间 T 内被点亮的时间长度是 $T/512$,其余时间则不点亮,根据向上取整原则,其所需的扫描时间长度是 T 。同理,当需要显示第 10 位图像数据时,其对应灰度权值为 2,则 LED 灯在一个单位扫描时间 T 内被点亮的时间长度是 T ,并且需要持续点亮 2 个单位时间长度。

表 1 图像数据灰度权值列表
Tab.1 Gray weight list for the image data

R[0]	R[1]	R[2]	R[3]	R[4]	R[5]	R[6]	R[7]	R[8]	R[9]	R[10]	R[11]	R[12]	R[13]
1/512	1/256	1/128	1/64	1/32	1/16	1/8	1/4	1/2	1	2	4	8	16

定义扫描完所有位的图像所需的时间总长度为灰度片数 P ,根据上述分析计算得到 $P=40$,此时亮度损失为 20%。灰度片数决定了灰度级以及 LED 的亮度损失,灰度权值的不同取值会引起 P 值以及亮度损失值的变化。

综上分析,根据扫描逻辑电路可知,扫描频率 f_{scan} 与移存频率的关系为:

$$f_{\text{scan}} = \frac{f_{\text{shift}}}{(S \times \text{col}) \times p}, \tag{1}$$

另外,移存频率除了与上述参量有关之外,根据图 2 可知,其与双组 RAM 的读频率 $f_{\text{r_RAM}}$ 也有关系:

$$f_{\text{shift}} = f_{\text{r_RAM}} \times \frac{s}{\text{row}}, \tag{2}$$

其中: $\frac{\text{row}}{s}$ 值代表将 row 行的 LED 屏分成了 $\frac{\text{row}}{s}$ 个区域,在扫描模块中,一个移存频率对应 $\frac{\text{row}}{s}$ 个图像数据,且这些数据分别来自不同的存储地址,对应不同的显示区域,定义 $\text{Dis} = \frac{\text{row}}{s}$ 。

综合式(1),(2),可得扫描频率与扫描方式、灰度级、分辨率以及 $f_{\text{r_RAM}}$ 的关系:

$$f_{\text{scan}} = \frac{f_{\text{r_RAM}}}{\text{row} \times \text{col} \times p}. \tag{3}$$

LED 扫描显示是一个实时不间断的过程,在这一过程中需要不断的从一组 RAM 中读取图像数据,此时这组 RAM 的读取单点像素数据的频率 f_{r_RAM} 就会受到另一组 RAM 的写入单点像素数据的频率 f_{w_RAM} 影响,而 RAM 的数据是从外存 SDRAM 读入,因此 f_{w_RAM} 等同于 SDRAM 的有效读写频率,而最终影响 f_{r_RAM} 的也是 SDRAM 的有效读写频率。当 SDRAM 的读流水长度为 64 时,有效读写频率 $f_{e_SDRAM} < 150\text{ MHz}$,工业实践中通常选取 $f_{e_SDRAM} = 132\text{ MHz}$ ^[6]。SDRAM 的有效读写频率 f_{e_SDRAM} 与双组 RAM 的读频率 f_{r_RAM} 的具体关系,主要取决于双组 RAM 缓存器的存储容量。

一种情况是每一组 RAM 缓存器中能够存储

$col \times Dis \times 24\text{ bits}$ 的数据,灰度片数 $P = P_1 \times P_2$ (将 P 灰度片数进行分解,且 P_1 、 P_2 为大于 1 的正整数,行数据锁存后,先进行 P_1 灰度片数的操作,每个区域的行都扫描结束后,再进行 P_2 灰度片数的操作),则对第二组 RAM 进行写入操作的时间段内,可以对第一组 RAM 缓存器的图像数据读 P_1 遍,此时 $f_{r_RAM} = P_1 \times f_{e_SDRAM}$;另外一种情况是每一组 RAM 缓存器的存储容量小于 $col \times Dis \times 24\text{ bits}$,则在对第二组 RAM 进行写入操作的时间段内,只能对第一组 RAM 缓存器中存储的数据读取一遍,此时 $f_{r_RAM} = f_{e_SDRAM}$ 。

在工业实践中 $P = 40$, $P_1 = 10$, $row \times col = 128 \times 256\text{ pixels}$ 。根据(2)式计算在不同扫描方式下移存频率如表 2 所示。

表 2 RAM 不同操作方式对移存频率的影响
Tab. 2 Effect on the shift frequency of different operation mode for RAM

扫描方式	第一种 RAM 操作移存频率/MHz	第二种 RAM 操作下移存频率/MHz
4 扫	41	4
8 扫	82	8

采用第一种双组 RAM 操作方式移存频率都大于 15 MHz,SDRAM 的读有效频率值不再制约移存频率值以及系统扫描频率值。但是采用第一种双组 RAM 的操作方式必须满足一个前提,即双组 RAM 中的任一组缓存器能够存储 $col \times Dis \times 24\text{ bits}$ 的数据。通常用于 LED 显示控制系统的 FPGA 内部 RAM 资源有限,只有 $20 \times 128 \times 36\text{ bits}$ 的存储容量,FIFO 占用 $128 \times 36\text{ bits}$,剩下 $19 \times 128 \times 36\text{ bits}$ 用于双组 RAM 缓存器,所以一组 RAM 的存储容量仅为 $C_{RAM} = 9 \times 128 \times 36\text{ bits}$ 。而在工业实践中单个显示控制系统可控分辨率为 $row \times col = 128 \times 256\text{ pixels}$, $S = 8$, $P = 40$,此条件下需要一组 RAM 的存储空间为 $col \times Dis \times 24\text{ bits} = 256 \times 32 \times 24\text{ bits}$,该值远远大于实际 RAM 的存储容量 C_{RAM} ,所以在原有的显示控制系统中只能采用第二种对双组 RAM 的操作方式,移存频率受限于 SDRAM 的读有效频率,不能达到实际 LED 灯芯驱动的最大移存频率。

4 拆分重组算法

由于使用了第二种 RAM 的操作方式,出现了移存频率受限于 SDRAM 的读写有效频率的问题,仔细分析第一种 RAM 的操作方式,我们发现可以借鉴其思想来解决这个问题。在对一组 RAM 进行写入操作的时间段内,如果可以实现对另一组 RAM 的多次读操作,就可以缓解或者解除移存频率与 SDRAM 的读写有效频率之间的制约关系。如果双组 RAM 缓存空间能够存储 $col \times Dis$ 个像素点,且每个像素点包括的有效位数为 $3 \times P_1$ 位数据,则可以对一组 RAM 的数据读 P_1 遍,则 f_{r_RAM} 等效于 $P_1 * f_{e_SDRAM}$ 。

FPGA 内部的 RAM 能够存储像素点位数 $3 \times P_1$,其由式(4)决定:

$$Q(\frac{C_{RAM}}{col \times Dis \times 3 \times P_1}) = 1, \tag{4}$$

其中:Q 函数为小数部分直接舍掉的取整函数。假设 $S = 8$, $row \times col = 128 \times 256\text{ pixels}$,则 P_1 的

最大值为 3, 取 $P = 40$, 则 P_1 只能取 2, 此时 $f_{\text{r_RAM}} = 2 * f_{\text{e_SDRAM}}$ 。

由上述分析得出 FPGA 内部的 RAM 存储资源的大小限制了存储每个像素点的有效位宽, 并且经(4)式可计算出当前系统中双组 RAM 存储的像素点的位宽为 $3 \times P_1 = 6$ bits, 远远小于 SDRAM 的数据位宽 32 bits, 如果用 32 bits 的位宽来处理 6 bits 的位宽数据, 显然降低了 SDRAM 数据的传输带宽, 有悖于提高 SDRAM 的等效频率的原则, 所以可以在一个周期内并行存储多个像素点的数据来提高单个像素点的读写频率。一个读周期内位宽为 32 bits 可以读取像素点个数 $px = Q(\frac{32 \text{ bits}}{3 \times P_1})$, 根据工业实践计算得到 $px = 4$, 也即存入 SDRAM 的 24 bits 的图像数据包括 4 个像素点, 相对于前述 24 bits 用于存储 1 个像素点数据的存储格式而言, 新的存储格式需要对原始图像数据进行拆分与重组, 以满足数据存储的需求。

如图 2 所示, 扫描到 LED 显示屏上的数据为 24 bits 的原始数据经过反伽马变换后的数据, 其变换原理为 8 bits 的红、绿或蓝基色的原始数据经过查表将其转换成 14 bits 的红、绿或蓝数据。如果将 24 bits 原始图像数据直接拆分重组后存入 SDRAM, 则在后续处理中无法还原 24 bits 原始数据。所以, 在将数据存储到 SDRAM 之前, 首先对 24 bits 原始图像数据进行反伽马变换处理, 然后再进行像素点数据拆分与重组, 重新重组为 24 bits 的数据。根据工业实践计算得到的 P_1 和 px 值, 可得到如下图 3 所示的拆分与重组规则。

图 3 所示拆分重组规则图, 是由 P_1 和 px 的取值决定的。在图 3 中, 像素点 $px1$ 、 $px2$ 、 $px3$ 、 $px4$ 都是经过反伽马变换后的像素数据, 每个像素点包括红绿蓝三种基色, 每个基色都由 14 bit 来表示。变换后的四个像素点数据根据方案需要进行拆分与重组。图 3 中, 每个像素的红绿蓝基色各取 2 bits 然后组合成一个 24 bits 的数据, 这个数据由 $px1$ 、 $px2$ 、 $px3$ 、 $px4$ 四个像素点分别抽取 6 bits 数据组合而成。重新组合后获得 $X1$ 、 $X2$ 、 $X3$ 、 $X4$ 、 $X5$ 、 $X6$ 、 $X7$ 七个像素点, 比重组前多出 3 个像素点, 并不影响到 SDRAM 的读写过程。重组后的 7 个像素点需要依次存储到

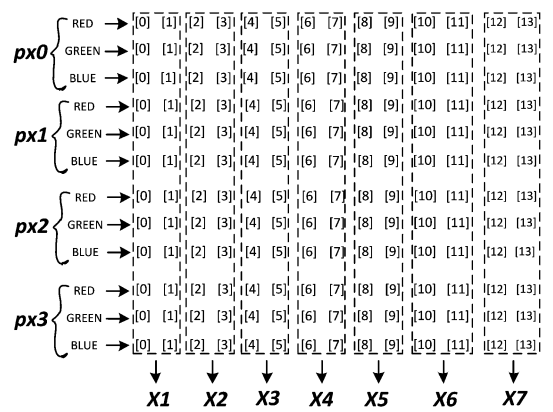


图 3 图像数据的拆分重组规则

Fig. 3 Split and reorganization rules of image data

SDRAM 中, 所以, 一个读有效频率从 SDRAM 中读出的 24 bits 的数据包括了 4 个像素。则读 SDRAM 的有效频率 $f'_{\text{e_SDRAM}} = 4 \times f_{\text{e_SDRAM}}$ 。

经对图像数据进行拆分以及重新组合后, $f_{\text{r_RAM}} = P_1 \times f'_{\text{e_SDRAM}}$, $f'_{\text{e_SDRAM}} = Q(\frac{32 \text{ bits}}{3 \times P_1}) \times f_{\text{e_SDRAM}}$, 等效读 RAM 缓存器的频率公式为:

$$f_{\text{r_RAM}} = P_1 * Q(\frac{32 \text{ bits}}{3 \times P_1}) \times f_{\text{e_SDRAM}}. \quad (5)$$

当然(5)式成立有其限定条件, 由(5)式与限定条件(4)式组合获得系统逻辑设计的依据:

$$\begin{cases} f_{\text{r_RAM}} = P_1 \times Q(\frac{32 \text{ bits}}{3 \times P_1}) \times f_{\text{e_SDRAM}} \\ 1 \leq \frac{C_{\text{RAM}}}{\text{col} \times \text{Dis} \times 3 \times P_1} < 2 \end{cases}. \quad (6)$$

如果, $\text{row} \times \text{col} = 128 \times 256$ pixels 且 $S = 8$, 经式(6)计算得到 $f_{\text{r_RAM}}$ 的等价频率提高了 8 倍, 利用式(2)对移存频率进行计算得到 $f_{\text{shift}} = 66$ MHz, 远远大于灯芯驱动芯片所能承受的最大移存频率。

5 实测验证

根据上述分析可对原有显示控制系统的逻辑电路进行重新设计, 其结构如图 4 所示, 其与图 2 所示的原有逻辑电路结构区别在于, 将数据存储到 SDRAM 之前对原始数据进行反伽马变换处理以及数据格式的处理。新系统工作过程如下: 首先通过“数据解码器”对源于 PC 机的 24 bits 原始图像数据进行解码, 并将其缓存在 FIFO 中。之后对 24 bits 原始数据进行反伽马变换处理转换成 42 bits 的图像数据, 根据图 3 所示数据处理

规则对多个像素点进行拆分与重组,重组后数据按照一定的顺序写入到 SDRAM 中。“双体控制器”会控制双组 RAM 进行实时的读操作,读出的数据直接进行扫描显示。当双组 RAM 中一组 RAM 的数据读空,则发起读 SDRAM 有效的数据控制指令,在合理的时间对 SDRAM 进行数据读操作,且将读出的数据写入到读空的 RAM 组中。在工业实践中,写入 SDRAM 的 24 bits 的数据包括 4 个像素点且每个像素点的有效数据是 6

bits 位宽。同样,从 SDRAM 中读出一个 24 bits 的数据以及从双组 RAM 中读出的数据的数据格式与写入 SDRAM 的数据格式相同。由第 4 部分分析可知,如果从双组 RAM 中读出的每个像素点数据包括 6 bit 位宽,则 $3 \times P_1 = 6 \text{ bits}$,所以在扫描模块中需要将灰度片数分解为 $P = P_1 \times P_2 = 2 \times 20$,即 $P_1 = 2, P_2 = 20$ 。且该方案能够实施的前提为 $\text{col} \times \text{Dis} \times 6 \text{ bits} \leq C_{\text{RAM}}$,则设计中每一组 RAM 必须能存储 $\text{col} \times \text{Dis} \times 6 \text{ bits}$ 数据。

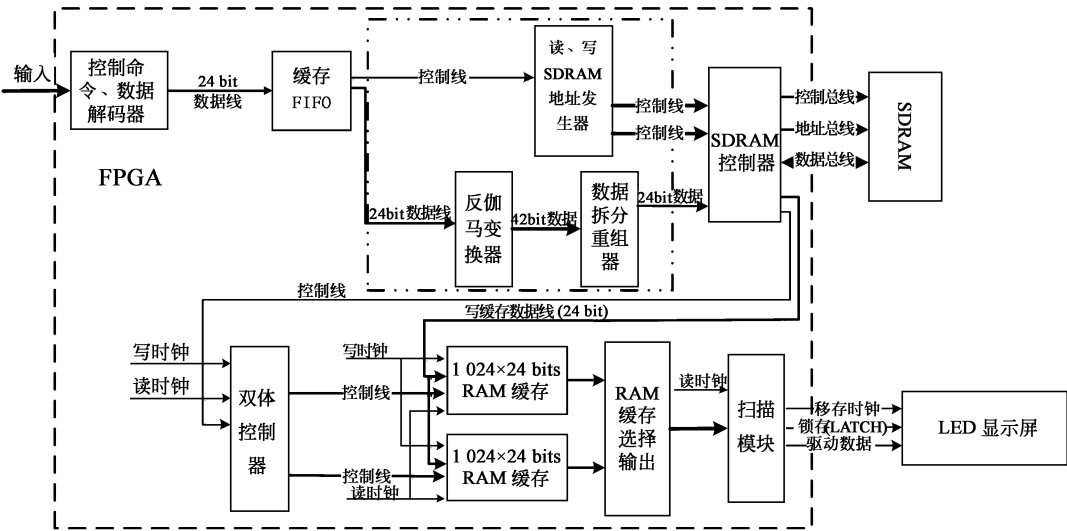


图 4 拆分重组算法逻辑图

Fig. 4 Logic diagram of split and recombination algorithm

根据上述方案及其核心算法重新设计显示控制系统后,其关键参数与旧系统对比如表 3 中所示。根据表 3 可知,在原显示系统硬件逻辑中,移存频率只能达到 8.25 MHz,主要受限于 SDRAM 的读有效频率 132 MHz,根据移存频率计算得到扫描频

率 $f_{\text{scan}} = 100 \text{ MHz}$;而在数据拆分重组后的新显示控制系统硬件逻辑中,移存频率可以达到 66 MHz,远远超出了驱动芯片最大支持的移存频率 15 MHz,所以可使用驱动芯片支持的最大移存频率 15 MHz 作为扫描模块的移存频率,解除了移存频率受限于

表 3 新旧显示控制系统关键参数对比		
Tab. 3 Comparison of key parameters of the new and old display control system		
LED 参数	旧显示控制系统	新显示控制系统
分辨率	256×128	256×128
灰度片数	40	40
扫描方式	8 扫	8 扫
移存频率	132/16	132×(8/16)
驱动芯片最大支持移存频率	15 MHz	15 MHz
扫描频率	$132 / (16 \times 256 \times 8 \times 40) = 100.7 \text{ MHz}$ $15 \text{ MHz} / (256 \times 8 \times 40) = 183 \text{ MHz}$	

SDRAM 的读有效频率的问题,此时扫描频率为 $f_{\text{scan}} = 183 \text{ MHz}$,比原有的控制系统提高了 1.8 倍。

6 结 论

通过对原有显示控制系统的分析,在工业实践中,移存频率和扫描频率会受到存储介质的工作频率制约,影响系统扫描频率,进而降低显示质量。本文通过对显示控制系统中各个频率参量、

分辨率以及灰度级的关系进行全面分析,提出一种数据拆分重组的加速算法,提高存储介质 SDRAM 的等效工作频率,进而提高移存频率,使得系统产生的移存频率可设定为驱动芯片最高可承受的移存频率,摆脱存储介质工作频率的限制,最终提高系统的扫描频率。虽然移存频率已经得到大幅提升,但是 LED 显示控制系统的扫描频率仍然受到很多因素的影响,下一步我们将深入分析,以期更进一步提高系统的扫描频率。

参 考 文 献:

- [1] 黄家善,张平均,陈建顺.基于千兆以太网的 LED 显示屏关键技术分析与实现[J].福建师范大学学报:自然科学版,2006,22(2):42-45.
HUANG J S, ZHANG P J, CHEN J S. Key techniques and the implementation of a large LED screen connected with the gigabit Ethernet [J]. *Journal of Fujian Normal University: Natural Science Edition*, 2006, 22(2): 42-45. (in Chinese)
- [2] 苏海冰,吴钦章.用 SDRAM 在高速数据采集和存储系统中实现海量缓存[J].光学精密工程,2002,10(5):462-465.
SU H B, WU Q Z. Realization of mass storage by using SDRAM in a high speed data acquisition and storage system [J]. *Optics and Precision Engineering*, 2002, 10(5): 462-465. (in Chinese)
- [3] 李爽,王瑞光,严飞.全彩发光二极管交通诱导屏光纤传输系统[J].光学精密工程,2012,20(8):1854-1861.
LI S, WANG R G, YAN F. Full-color LED display of traffic guidance fiber transmission system [J]. *Optics and Precision Engineering*, 2012, 20(8): 1854-1861. (in Chinese)
- [4] 郝亚茹,王瑞光,陈宇,等.基于高效动态内存的 LED 显示系统设计[J].液晶与显示,2008,23(5):582-588.
HAO Y R, WANG R G, CHEN Y, et al. Design of LED display system based on SDRAM memory [J]. *Chinese Journal of Liquid Crystals and Displays*, 2008, 23(5): 582-588. (in Chinese)
- [5] 李焘霖.浅议 2013 年 LED 显示行业的若干热点[J].电子科学技术,2014,1(3):271-275.
LI X L. A discussion on some hot topics of LED display application recently [J]. *Electronic Science & Technology*, 2014, 1(3): 271-275. (in Chinese)
- [6] 严飞,王瑞光,邓意成,等.发光二极管显示屏分段灰度调制与优选扫描时钟获取[J].光学精密工程,2013,21(12):3248-3254.
YAN F, WANG R G, DENG Y C, et al. Segmented gray scale modulation of LED display and optimal scan clock access [J]. *Optics and Precision Engineering*, 2013, 21(12): 3248-3254. (in Chinese)
- [7] 马晓阳.LED 显示屏 γ 校正的研究和实现[J].电光与控制,2010,17(6):92-96.
MA X Y. Research and implementation of γ correction of LED display screen [J]. *Electronics Optics & Control*, 2010, 17(6): 92-96. (in Chinese)
- [8] 朱海峰,刘开华,刘伟.以 FPGA 实现显示系统中反 γ 校正功能实现[J].电子测量技术,2006,29(1):20-21.
ZHU H F, LIU K H, LIU W. Implementation of anti- γ -emendation based on FPGA in colorful LED display system [J]. *Electronic Measurement Technology*, 2006, 29(1): 20-21. (in Chinese)
- [9] 靳巍,朱云芳,邹芝权,等.LED 显示屏多扫描线数据组织的通用方法[J].西南交通大学学报,2013,48(2):257-263.
JIN W, ZHU Y F, WU Z Q, et al. Universal data organization method of LED display screen based on Multi-scanning-beam [J]. *Journal of Southwest Jiaotong University*, 2013, 48(2): 257-263. (in Chinese)
- [10] 朱玮鹏,王玲.基于 FPGA 的全彩色高清大屏 LED 扫描控制系统设计[J].世界科技研究与发展,2012,34(1):35-38.
ZHU W P, WANG L. Design of scan control system for LED screen based on FPGA [J]. *World Sci-Tech R&D*, 2012, 34(1): 35-38. (in Chinese)

作者简介:郝亚茹(1981—),女,河北石家庄人,博士,讲师,主要研究全彩 LED 显示屏的控制系统以及亮、色度校正等相关技术。E-mail:165689908@qq.com